



FORMANEK Q75841
STEP-DOWN CONVERTER
Filed: June 27, 2003
SUGHRUE MION 202-293-7060
1 of 1

Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 100 65 421.5

Anmeldetag: 27. Dezember 2000

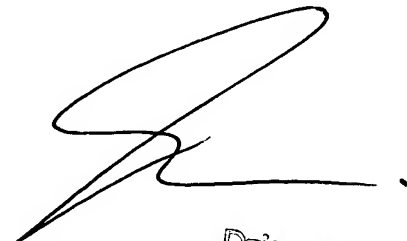
Anmelder/Inhaber: Siemens Aktiengesellschaft, München/DE

Bezeichnung: Tiefsetzsteller

IPC: H 02 M, H 05 B

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 13. Juni 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag



Dzierzen

Beschreibung

Tiefsetzsteller

- 5 Die Erfindung bezieht sich auf einen Tiefsetzsteller zur Umwandlung einer Eingangsgleichspannung in eine Ausgangsgleichspannung, bei welchem in einem Längszweig die Serienschaltung eines gesteuerten Schalters und einer Induktivität in einem Quersweig, zwischen Schalter und Induktivität eine Freilaufdiode und ausgangsseitig ein Glättungskondensator vorgesehen sind und der Schalter zum periodischen Öffnen und Schließen von einer Ansteuerschaltung in Abhängigkeit von dem Längsstrom angesteuert ist.

- 15 Tiefsetzsteller dieser Art sind in einer Vielzahl von Variationen bekannt geworden. Sie werden beispielsweise zum Laden von Akkumulatoren, zum Speisen von Leuchtdioden oder zum Speisen primärer Ansteuerungsschaltungen von Schaltnetzteilen verwendet.

- 20 Will man Tiefsetzsteller der gegenständlichen Art ohne Zwischenschaltung eines Transformators an einem üblichen Haushaltsnetz mit 230 Volt Wechselspannung - bzw. nach Gleichrichtung ca. 325 Volt - verwenden, so ergibt sich das Problem, dass nicht nur der gesteuerte Schalter die entsprechende Spannungsfestigkeit aufweisen muss, sondern auch die zugehörige Ansteuerschaltung. Da nach dem Einschalten außer der genannten hohen Eingangsspannung keine andere Spannungsquelle vorhanden ist, muss auf die hohe Eingangsspannung zugegriffen werden. Um einen der üblicherweise verwendeten selbst sperrenden Feldeffekttransistoren zu sperren, muss die Gate Spannung wieder abgeschaltet werden, sodass hier die gesamte Eingangsspannung anliegt. Überdies muss eine Schutzschaltung für das Gate gegen übermäßig hohe Spannungen vorgesehen werden, was den Bauteile-Aufwand erhöht.

Eine andere Variante besteht darin, die Gate Spannung nicht abzuschalten und das Gate kurz zu schließen. In diesem Fall bestehen zwar für das hierfür verwendete Schaltelement keine besonderen Spannungsanforderungen, doch muss die Spannungsversorgung für das Gate immer aus der hohen Eingangsspannung erzeugt werden, wozu ein Vorwiderstand verwendet wird, der wiederum zu einer unerwünscht hohen Verlustleistung führt. Ein solcher Vorwiderstand muss für die hohe Eingangsspannung und für eine höhere Leistung dimensioniert werden, und es ergibt sich auch als Folge, dass bei einem leistungsoptimierten Vorwiderstand der an sich erwünschte weite Eingangsspannungsbereich eines solchen Tiefsetzstellers entfällt.

Eine Aufgabe der Erfindung liegt darin, einen Tiefsetzsteller zu schaffen, der bei einem hohen Eingangsspannungsbereich mit geringem Aufwand und mit möglichst geringer Verlustleistung realisiert werden kann.

Diese Aufgabe wird mit einem Tiefsetzsteller der eingangs genannten Art erfindungsgemäß dadurch gelöst, dass der gesteuerte Schalter als selbstleitender Schalttransistor ausgebildet ist, welcher von einem Steuertransistor angesteuert ist, der ab Erreichen eines durch einen Stromfühler erfassten Maximalwert des Längsstrom dem Schalttransistor eine in dem Längszweig durch eine Zenerdiode erzeugte Sperrspannung zuführt.

Durch die Verwendung eines selbst leitenden Schalttransistors kann die Ansteuerschaltung bzw. das für das Ansteuern erforderliche Schaltelement mit wesentlich geringerer Spannungsfestigkeit und daher kostengünstiger ausgeführt werden. Vorwiderstände für die Versorgung der Ansteuerung sind nicht erforderlich, sodass ein diesbezüglicher Leistungsaufwand entfällt.

Es ist von Vorteil, wenn der Zenerdiode ein Kondensator parallelgeschaltet ist, da hierdurch eine Sperrspannung für den

Feldeffekttransistor aufrecht erhalten wird, auch wenn kein Strom mehr fließt.

Weiters ist es zweckmäßig, wenn der Schalttransistor ein Depletion-FET ist, wobei Gate und Drain über einen Gate-Drain-
5 Widerstand miteinander verbunden sind.

Eine kostengünstige und einfache Ausführungsform zeichnet sich dadurch aus, dass der Stromfühler in dem Längszweig als Fühlwiderstand ausgebildet ist, wobei der an diesem auftretende Spannungsabfall der Basis-Emitterstrecke des Steuertransistors zuführbar ist, der mit seinem Kollektor zu dem Gate des Schalttransistors geführt ist. Zweckmäßigerweise liegt dabei der Fühlwiderstand in dem Längszweig zwischen der Zenerdiode und der Induktivität.

15 Zur Verbesserung des Schaltverhaltens ist es vorteilhaft, wenn ein Entladungstransistor vorgesehen ist, dessen Kollektor-Emitterstrecke in Serie mit einem Entladewiderstand die Gate-Source Strecke des Schalttransistors überbrückt, wobei
20 der Basis-Emitter-Strecke des Entladungstransistors der Spannungsabfall an einem weiteren Fühlwiderstand im Längszweig zuführbar ist.

Um eine Beschädigung des Glättungskondensators bei Fortfall der Last zu verhindern, ist es angebracht, wenn die Ausgangsspannung an dem Glättungskondensator durch einen Spannungsbegrenzer, wie eine Zenerdiode, begrenzt ist.

Die Erfindung samt weiteren Vorteilen ist im Folgenden unter
30 Bezugnahme auf die Zeichnung näher erläutert. In dieser zeigen:

Fig. 1 die Prinzipschaltung eines Tiefsetzstellers auch nach der Erfindung,

Fig. 2 ein vereinfachtes Schaltbild eines Tiefsetzstellers
35 nach der Erfindung, und

Fig. 3 eine Schaltung entsprechend Fig. 2, jedoch mit einem Entladungstransistor und einer Spannungsbegrenzung am Ausgang.

5 Ein Tiefsetzsteller weist gemäß Fig. 1 in einem Längszweig einen gesteuerten Schalter S auf, der über eine Ansteuer-
schaltung AST in Abhängigkeit eines durch einen Fühler F ge-
messenen Stromes in dem Längszweig geöffnet bzw. geschlossen
wird. In dem Längszweig liegt weiters nach dem gesteuerten
10 Schalter eine Induktivität L, über die ein Strom I_L zu einem
Lastwiderstand R_L bzw. einem dazu parallel liegenden Glät-
tungskondensator CG fließen kann. Um die Schaltung funktions-
fähig zu gestalten, ist noch eine Freilaufdiode DF vorzuse-
hen, die in der gezeigten Weise in dem Querzweig zwischen dem
15 gesteuerten Schalter S und der Induktivität L liegt, sodass
die in der Induktivität L gespeicherte Energie an den Ver-
braucher abgegeben werden kann. Die Funktionsweise einer sol-
chen Schaltung, welche eine Eingangsgleichspannung UE in der
Größe von z.B. 50 - 350 Volt in eine Ausgangsgleichspannung
20 UA von z.B. 12 Volt umsetzt, darf als bekannt vorausgesetzt
werden.

Fig. 2 zeigt nun eine Schaltung nach der Erfindung, bei wel-
cher der gesteuerte Schalter als FET-Transistor vom Deple-
25 tion- oder Verarmungstyp ausgebildet ist. Ein solcher FET-
Transistor ist selbstleitend. Source und Gate des Transistors
T1 sind über einen Source-Gate-Widerstand R3 miteinander ver-
bunden. In dem Längszweig folgt auf den Transistor T1 eine
Zenerdiode D1 mit einer Zenerspannung im Bereich von einigen
30 Volt, z.B. 6 Volt, wobei die Zenerdiode D1 durch einen Kon-
densator C1 überbrückt ist. Weiters folgt in dem Längszweig
ein Fühlwiderstand R1 und darauf die Induktivität L, die zu
dem Ausgang mit dem Glättungskondensator CG und der Last,
hier als Widerstand R_L eingezeichnet, führt. Zwischen dem
35 Fühlwiderstand R1 und der Zenerdiode D1 in dem Längszweig
führt ein Widerstand R2 zu der Freilaufdiode DF, wobei der
Spannungsabfall an dem Widerstand R1, entsprechend dem Strom

I_L durch einen Steuertransistor T2 erfasst wird, d.h. seiner Basis-Emitter-Strecke zugeführt wird. Der Emitter des Steuertransistors D2 liegt in dem Längszweig zwischen dem Fühlwiderstand R1 und der Induktivität L, wogegen sein Kollektor zu dem Gate des FET-Transistors T1 geführt ist.

Die Funktionsweise der Schaltung wird im Folgenden kurz erläutert: Sobald eine Eingangsspannung UE auftritt, fließt ein Strom über den FET-Transistor T1, zunächst über C1, über R1 und die Induktivität L und RL, wobei im Wesentlichen ein linearer Stromanstieg erfolgt, bis der Spannungsabfall entsprechend dem größer gewordenen Strom I_L an R1 so groß ist, dass der Transistor D2 durchsteuert und der wesentliche Spannungsabfall an der Zenerdiode D1 als Sperrspannung an das Gate des FET-Transistors T1 gelangt, sodass dieser sperrt. Nun erfolgt der Energieabbau aus der Induktivität L, wobei ein Strom über den Widerstand R1, den Widerstand R2 und die Freilaufdiode DF fließt. In diesem Fall bleibt der Steuertransistor T2 leitend, und es bleibt der FET-Transistor T1 gesperrt. Mit sinkendem Strom in dieser Entladungsphase der Induktivität L sinkt auf der Basisstrom durch den Steuertransistor T2, sodass schließlich wiederum der FET-Transistor T1 leitend wird. Zu erwähnen ist, dass der Kondensator C1, der parallel zur Zenerdiode D1 im Längszweig liegt, während der Sperrphase des FET-Transistors sehr wesentlich ist, da er eine Sperrspannung aufrecht erhält, auch wenn kein Strom mehr fließt.

In Fig. 3 ist gezeigt, wie man das Abschaltverhalten des Feldeffekttransistors durch einen Entladetransistor T3 verbessern kann. In dem Längszweig liegt gemäß Fig. 3 zwischen dem FET-Transistor T1 und der Zenerdiode D1 ein weiterer Widerstand R6, wobei die an diesem abfallende Spannung dem Emitter bzw. der Basis des Entladungstransistors T3 zugeführt sind, wogegen der Kollektor dieses Transistors über einen Widerstand R5 zu dem Gate des FET-Transistors T1 geführt ist. Der Widerstandswert des Kollektorwiderstandes R5 beträgt in der Praxis beispielsweise etwa 1/10 des Widerstandswertes des

Gate-Source-Widerstandes R3. Wenn der FET-Transistor T1 wieder zu leiten beginnt, so entsteht eine Spannung an dem Widerstand R6, und es fließt ein Strom in die Basis des Entladungstransistors T3, der nun durchsteuert, sodass die Gate-Ladung über den vergleichsweise niederohmigen Widerstand R5 rasch abgeführt werden kann.

Die Erfindung schafft eine energiesparende und kostengünstige Stromversorgung für Verbraucher insbesondere kleiner Leistung, die direkt aus dem Netz, z.B. dem 230 Volt Haushaltsnetz versorgt werden sollen, wobei ein Vorwiderstand mit entsprechender Wärmeentwicklung und unnötigem Energieverbrauch ebenso entfällt, wie beispielsweise ein Kleintransformator. Es ist bemerkenswert, dass die Schaltung einerseits kurzschlussfest ist, wobei der maximale Strom, d.h. „Ladestrom“ der Induktivität L vor allem durch den Widerstand R1 bestimmt wird. Hingegen bestimmt der Wert des Widerstandes R2, zusammen mit dem Wert des Widerstandes R1, den Entladestrom der Induktivität L. Durch entsprechende Dimensionierung der Widerstände R1 und R2 kann eine Leistungsanpassung an den jeweiligen Verbraucher durchgeführt werden. Da der Laststrom über weite Bereiche annähernd konstant ist, ist die aufgenommene bzw. abgegebene Leistung abhängig von der Ausgangsspannung UA, die bei der Ausführung nach Fig. 3 durch eine Zenerdiode D3 begrenzt wird, z.B. auf 12 Volt, da ohne eine solche Begrenzung bei Fortfall der Last ($R_L = \infty$) die Spannung an dem Glättungskondensator CG im Prinzip den Wert der Eingangsspannung UE annehmen würde.

Wenngleich die Schaltung nach Fig. 3 besonders empfehlenswert ist, soll bemerkt werden, dass der Entladetransistor T3 bei kleiner Leistung bzw. geringem Strom des Tiefsetzstellers nicht erforderlich ist, was zu der Schaltung nach Fig. 2 führt, bei welcher natürlich gleichfalls eine Zenerdiode D3 zur Begrenzung der Ausgangsspannung vorhanden sein könnte.

Patentansprüche

1. Tiefsetzsteller zur Umwandlung einer Eingangsgleichspannung (U_E) in eine Ausgangsgleichspannung (U_A), bei welchem in
5 einem Längszweig die Serienschaltung eines gesteuerten Schalters (S , T_1) und einer Induktivität (L), in einem Quersweig, zwischen Schalter und Induktivität eine Freilaufdiode (D_F) und ausgangsseitig ein Glättungskondensator (C_g) vorgesehen sind und der Schalter zum periodischen Öffnen und Schließen
10 von einer Ansteuerschaltung (AST) in Abhängigkeit von dem Längsstrom (I_L) angesteuert ist, dadurch gekennzeichnet, dass der gesteuerte Schalter als selbstleitender Schalttransistor (T_1) ausgebildet ist, welcher von einem Steuertransistor (T_2) angesteuert ist, der ab Erreichen eines durch einen Stromfühler (F , R_1) erfassten Maximalwert des Längsstroms (I) dem Schalttransistor eine in dem Längszweig durch eine Zenerdiode (D_1) erzeugte Sperrspannung zuführt.
- 20 2. Tiefsetzsteller nach Anspruch 1, dadurch gekennzeichnet, dass der Zenerdiode (D_1) ein Kondensator (C_1) parallel geschaltet ist.
3. Tiefsetzsteller nach Anspruch 1 oder 2,
25 dadurch gekennzeichnet, dass der Schalttransistor (T_1) ein Depletion-FET ist, wobei Gate und Drain über einen Gate-Drain Widerstand (R_3) miteinander verbunden sind.
4. Tiefsetzsteller nach Anspruch 3,
30 dadurch gekennzeichnet, dass der Stromfühler in dem Längszweig als Fühlwiderstand (R_1) ausgebildet ist, wobei der an diesem auftretende Spannungsabfall der Basis-Emitterstrecke des Steuertransistors (T_2) zuführbar ist, der mit seinem Kollektor zu dem Gate des Schalttransistors (T_1)
35 geführt ist.

5. Tiefsetzsteller nach Anspruch 4, dadurch gekennzeichnet, dass der Fühlwiderstand (R1) in dem Längszweig zwischen der Zenerdiode (D1) und der Induktivität (L) liegt.

5

6. Tiefsetzsteller nach einem der Ansprüche 3 bis 5, dadurch gekennzeichnet, dass ein Entladungstransistor (T3) vorgesehen ist, dessen Kollektor-Emitterstrecke in Serie mit einem Entladewiderstand (R5) die Gate-Source
10 Strecke des Schalttransistors (T1) überbrückt, wobei der Basis-Emitter-Strecke des Entladungstransistors der Spannungsabfall an einem weiteren Fühlwiderstand (R6) im Längszweig zuführbar ist.

15 7. Tiefsetzsteller nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, dass die Ausgangsspannung an dem Glättungskondensator (C_g) durch eine Zenerdiode (D3) begrenzt ist.

Zusammenfassung

Tiefsetzsteller

- 5 Ein Tiefsetzsteller mit einem selbstleitenden Schalttransistor und einer Induktivität (L) in einem Längszweig und einer Freilaufdiode (D_F) in einem Querzweig, wobei der Schalttransistor (T1) von einem Steuertransistor (T2) angesteuert ist, der ab Erreichen eines Maximalwertes des Längsstroms (I)
- 10 dem Schalttransistor eine in dem Längszweig durch eine Zenerdiode (D1) erzeugte Sperrspannung zuführt.

FIG 3

1/1

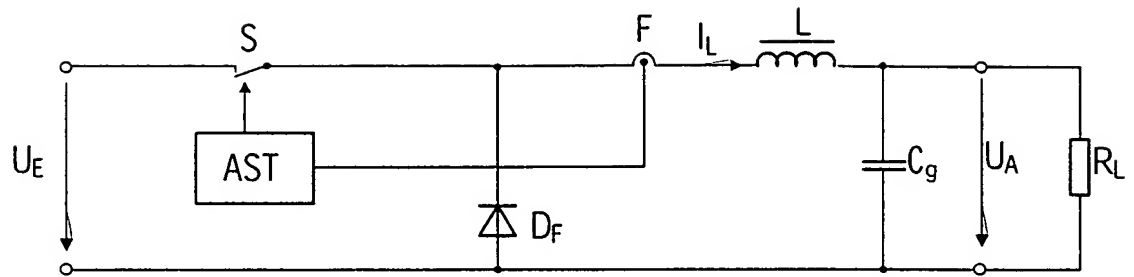


Fig. 1

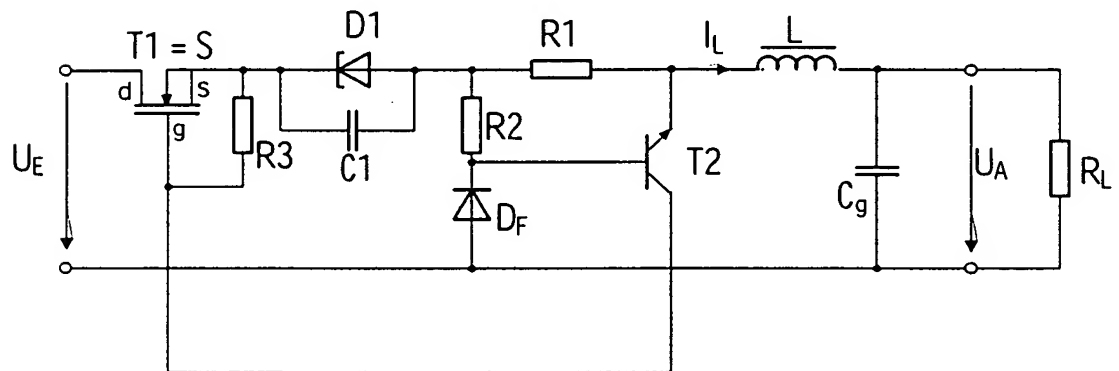


Fig. 2

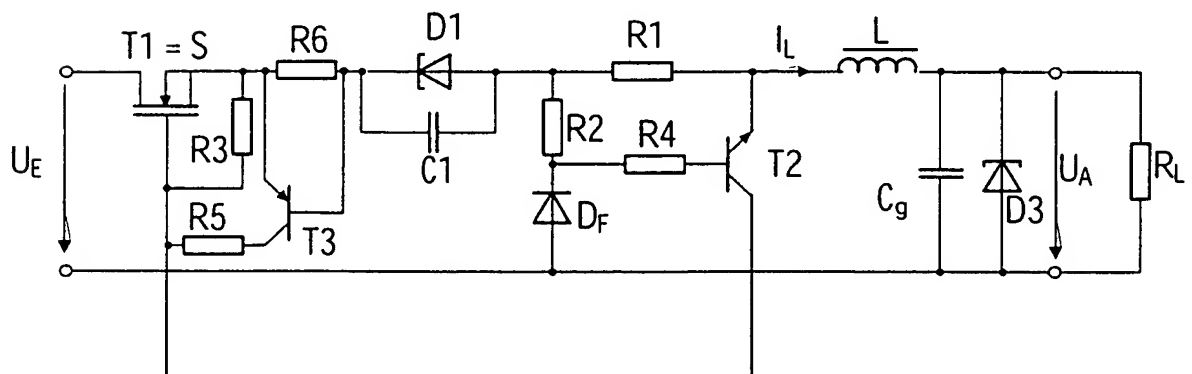


Fig. 3